

Title of the Prior Art

Japanese Published Utility Model Application No. Sho.58-97652

Date of Publication: July 2, 1983

Translation of page 3, line 3 - page 4, line 5

One of the embodiments of the present invention is described with reference to Fig. 1. The interruption processing apparatus of the present invention comprises eight lines of interruption signal input terminals 11-18. Respective signals are divided into the line where the signal is read in the microprocessor 4 through the input interface circuit 3 after being held by the flip-flop gate 1, and into the line where the signal is read in the microprocessor 4 directly through the input interface circuit 3 without going through the flip-flop gate 1. Eight of the flip-flop gate 1 are respectively reset by the data provided from the microprocessor 4 through the output interface circuit 6. Also, as the respective interface circuits are connected with the same data bus line, they are individually selected by the address decoder circuit 5. After going through the flip-flop gate 1, the interruption signals to the microprocessor 4 are collected into one signal line by the OR gate 2 and provided to the microprocessor 4.

With this hardware construction and two lines of micro programs for interruption processing indicated in fig. 2 and fig. 3, the interruption processing apparatus can execute usual processing as well as repeat interruption processing even if there exist the interruption input signals continuously for a long period of time.

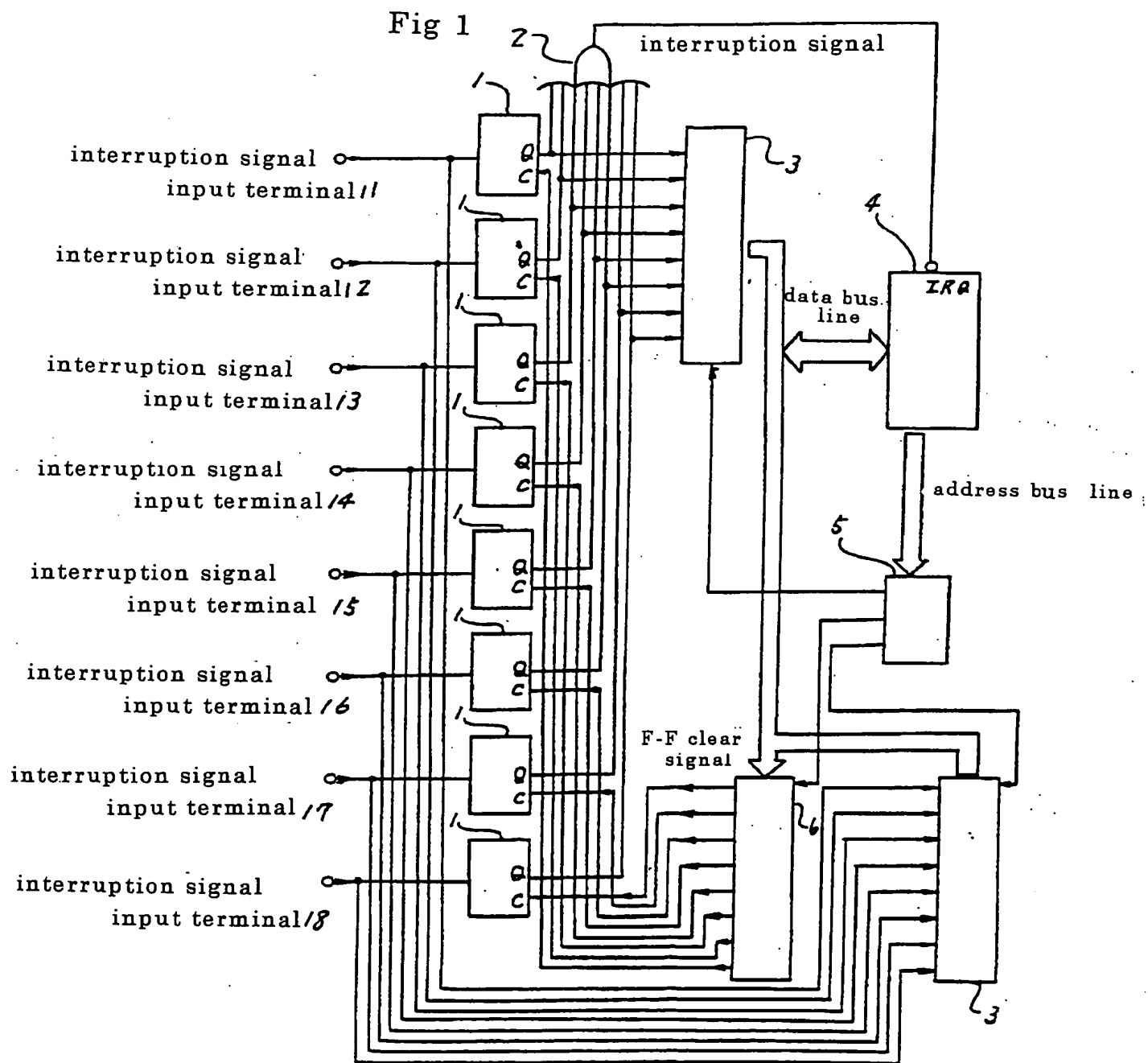


Fig.2

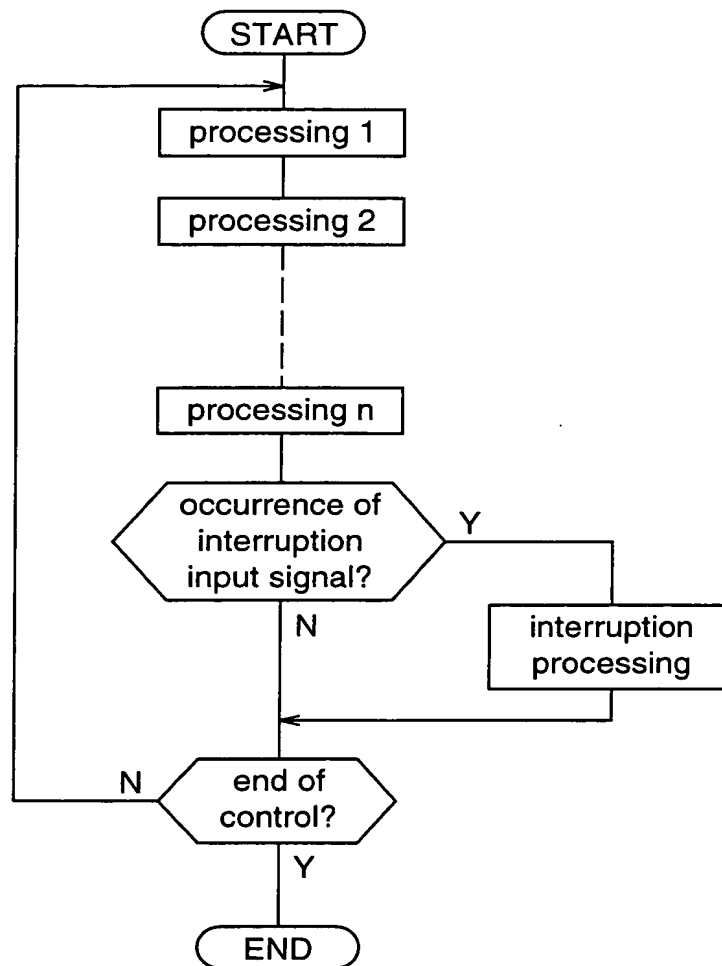
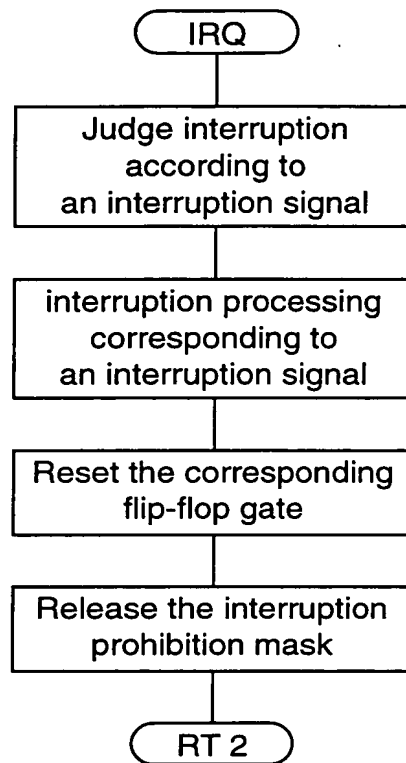


Fig.3



公開実用 昭和 58— 97652

① 日本国特許庁 (JP)

② 実用新案出願公開

③ 公開実用新案公報 (U)

昭58—97652

Int. Cl.³

識別記号

庁内整理番号

公開 昭和58年(1983)7月2日

G 06 F 9 46

6745—5B

G 05 B 15 02

7623—5H

G 06 F 3:00

1 0 1

7165—5B

審査請求 未請求

(全 頁)

54 割込処理装置

出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

21 実 願 昭56--192537

22 出 願 昭56(1981)12月25日

23 考 案 者 那須清二

日立市幸町3丁目2番1号日立
エンジニアリング株式会社内

出 願 人 日立エンジニアリング株式会社
日立市幸町3丁目2番1号

代 理 人 弁理士 高橋明夫

明 細 書

考案の名称 割込処理装置

実用新案登録請求の範囲

1. 割込処理機能を持つたマイクロコンピュータシステムと制御対象システムを制御するためのマイクロプログラムよりなる制御装置において、割込入力信号の変化によつてのみ入力信号を受付ける回路と、前記割込入力信号の状態を常時把握できる入力回路と、通常の割込処理プログラムと任意の一定周期毎に起動される割込処理プログラムを併用する手段とにより、長時間継続して前記割込入力信号が印加されても、割込処理及び通常の制御が行なえる事を特徴とする割込処理装置。

考案の詳細な説明

本考案はマイクロコンピュータシステムによる割込処理制御に係り、特に、長時間にわたり継続する割込入力信号に対しても有効な処理を行なえるようにした割込入力装置に関する。

マイクロプロセッサの割込処理機能を用いて、システムの制御を行なう場合、マイクロプロセッ

(1)

サはその割込信号入力端子に、所定のレベル入力
が存在する限り、割込処理を連続して行なり性質
があるため、長時間にわたつて連続する割込入力
信号があつた場合には、所定の割込処理プログラ
ムのみが繰り返し起動される事になり、本来行な
われるべき通常処理プログラムによるシステムの
通常制御が行なえなくなる。

本考案の目的は、マイクロコンピュータを用い
た制御システムにおいて、マイクロコンピュータ
の割込処理機能を利用する際、長時間にわたり継
続する割込入力信号があつても、割込処理を行な
うだけでなく、本来行なりべき通常プログラムに
よるシステム制御も行なえるような割込入力装置
を提供するにある。

本考案は長時間にわたり割込入力信号が継続し
ても、その割込の開始時点のデータあるいは終了
時点のデータを確実に把握しておけば、割込みの
開始時以降、終了時までの割込入力信号継続期間
には、定期的に割込入力信号の状態を監視、処理
しておけば良く、割込入力信号が継続している限

(2)

明士

明士

り、割込処理を続ける必要は一般システムにおいては無いという考え方に基づく。

以下、本考案の一実施例を第1図により説明する。本考案の割込処理装置は8系統の割込信号入力端子11～18を持ち、各信号はフリップフロップゲート1により信号を保持した後、入力用インターフェース回路3を経てマイクロプロセッサ4に読み込まれる系統と、フリップフロップゲート1を経る事なく、直接入力用インターフェース回路3を経て、マイクロプロセッサ4に読み込まれる系統に分れる。8個のフリップフロップゲート1は出力用インターフェース回路6を経たマイクロプロセッサ4よりのデータにより、個々にリセットされる。また、各インターフェース回路は同一のデータバスラインで接続されるため、アドレスデコーダ回路5によつて各々選択される。マイクロプロセッサ4への割込信号はフリップフロップゲート1を経た後、ORゲート2により一本の信号ラインにまとめられてマイクロプロセッサ4に供給される。

(3)



辦理
士

以上のハード構成と第 2 図，第 3 図に示す 2 系統の割込処理用マイクロプログラムを持つ事により、長時間にわたり継続する割込入力信号があつても、割込処理を繰り返すのみでなく、通常処理も行なり事ができる割込処理装置となる。

マイクロプロセッサはその割込信号入力端子に所定のレベル信号が印加されると、自動的に現在行なわれている処理プログラムを中断して割込処理プログラムを起動し、割込処理終了後、もとのプログラムの続きを行なりが、レベル信号により割込を判定しているため、割込処理が終了した時点で、また、割込信号入力が続いている場合は再度、割込処理プログラムに移行してしまい、通常処理プログラムに戻れなくなる。本考案には第 1 図に示すように、割込入力信号の変化を捕えてマイクロプロセッサの割込信号入力端子 11 ～ 18 に供給しているため、次に述べるような制御が可能となる。第 3 図に示すように、割込入力信号のレベルに変化が生じて、フリップフロップがセットされ、割込処理プログラムが起動された場

(4)

特
理
士

合、割込処理プログラムではどの要因により生じた割込みであるかを判断し、その要因に対応した割込処理を行ない、現在セットされているフリップフロップをリセットする。その時点で、他の要因よりの割込がなければ、続いて割込禁止マスクを解除して割込処理ルーチンからもとのプログラムへ戻る命令を発行した時点で、元のプログラムへ戻り、通常処理を再開する。その場合、他の要因からの割込信号入力と同時にあれば、もう一度、割込要因の解析から始まる割込処理を行なった後、通常処理プログラムに戻る。以上により、フリップフロップがリセットされるため、たとえ、割込信号入力が長時間にわたって継続していても、マイクロプロセッサの割込処理機能は再起動される事なく、通常処理プログラムを行なり事ができる。但し、割込入力信号が継続しているため、それに対応した処理を行なり必要がある。一般に、割込制御方式を用いる際には、割込の開始、終了時のシステムデータが最も重要であり、割込継続期間の処理はある所定の制御を継続させるという場合

(5)

が多い。

本実施例においても割込開始時には前述の割込処理を行ない、その継続期間中には第2図に従い、所定のシステム処理ループプログラムの中で、定期的に割込信号入力があるか否かを確認し、もしあれば、先に述べた割込処理プログラムに起動をかけてやり、割込処理終了後は、元のシステム処理ループプログラムに戻るといふ方式をとる。その場合の割込信号の確認は、第1図におけるフリップフロップゲート1を経ない経路の信号を利用する。

以上の割込入力回路及び割込処理プログラムを用いる事により、割込入力信号の変化時点における割込処理はもちろんの事、長時間にわたり割込みが継続する場合でも、通常処理を行ないながら割込処理も行なり事ができる。

本考案によれば割込入力信号の変化時点における割込処理ができ、また、割込入力信号が長時間にわたつて継続しても、通常のシステム制御を行ないながら割込処理を行なり事が可能である。

(6)

特
許
公
報

500

さらに、各要因毎にフリップフロップを設けているため、多重割込みが発生しても処理が可能となる。

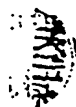
図面の簡単な説明

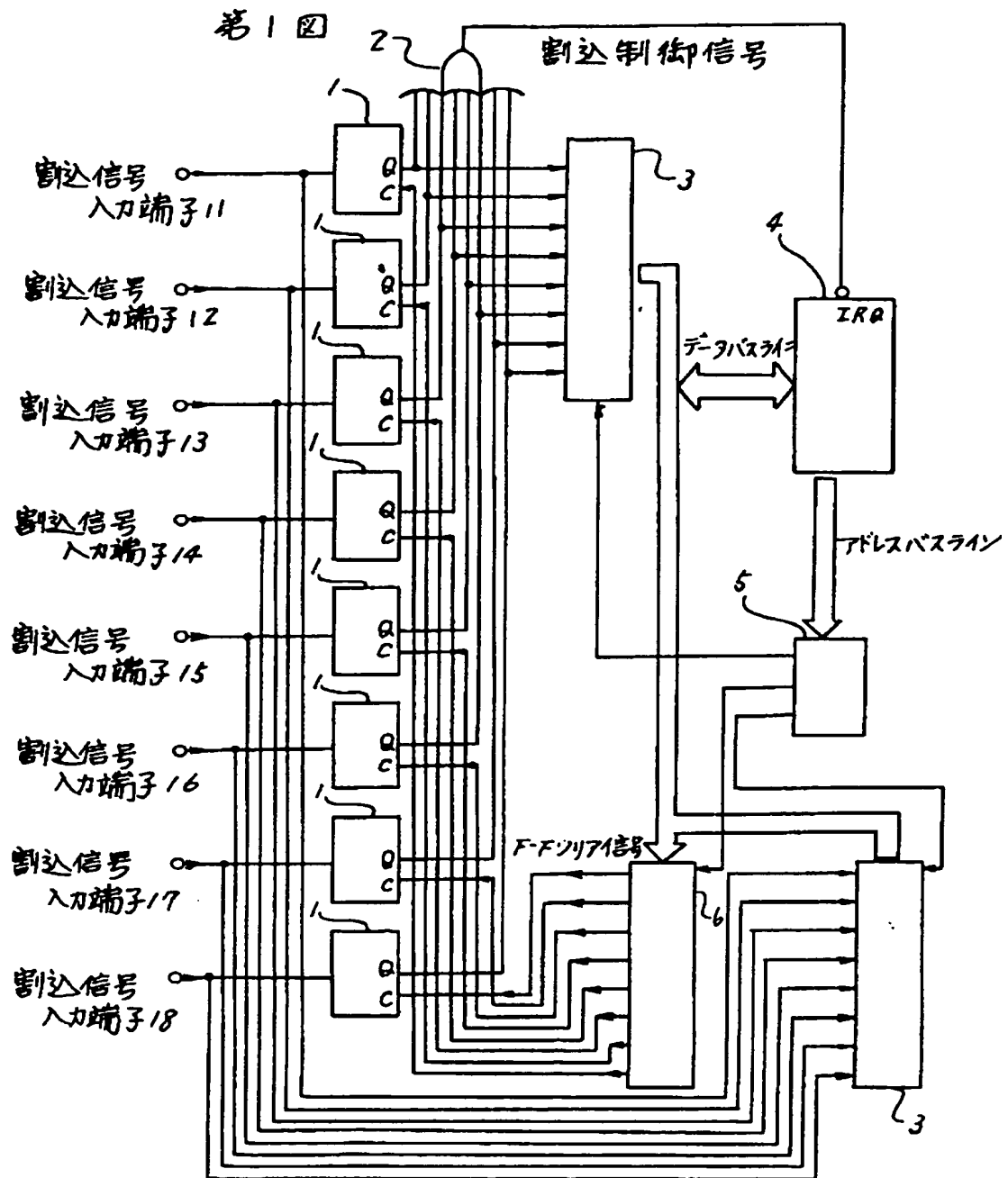
第1図は本考案の割込処理系統のブロック図、第2図は本考案の割込処理装置を用いた場合の通常処理プログラムのフローチャート、第3図は本考案の割込処理装置の割込処理プログラムのフローチャートである。

1…フリップフロップゲート、2…ORゲート、3…入力用インターフェース回路、4…マイクロプロセッサ、5…アドレスデコーダ回路、6…出力用インターフェース回路、11～18…割込信号入力端子。

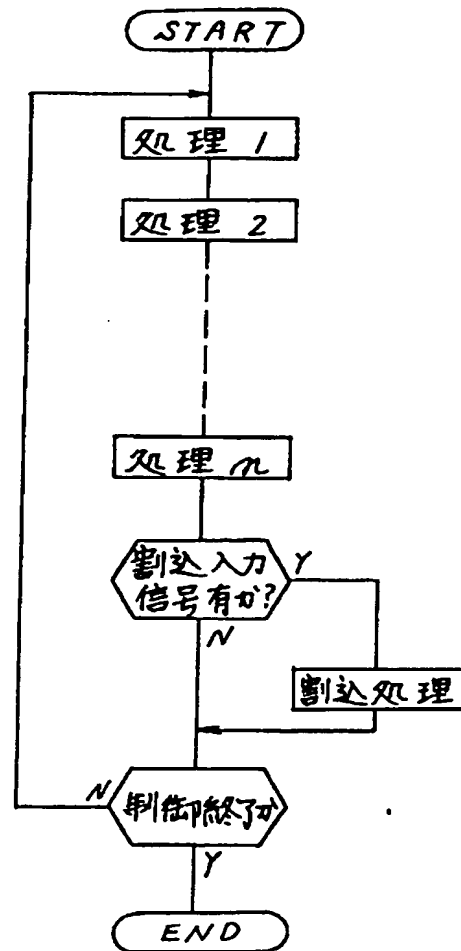
代理人 弁理士

高橋明





第 2 図



第 3 図

